NOVA

Semiconductor Track

High performance Si – MoS_2 heterogeneous embedded DRAM

Kai Xiao, Jing Wan, Hui Xie, Yuxuan Zhu et al.

Nature Communications 15, 9782 (2024)

실리콘과 MoS_2를 결합한 내장형 DRAM

숭실대학교 전기공학부 학술 소모임 NOVA
발표자 : 김철우, 유지상

Contents

01 연구 배경

02 2T-eDRAM 구조

03 쓰기·유지·읽기

04 재료별 역할

05 데이터 보존시간

06 쓰기 속도

07 3D 적층

08 의의와 한계

01 연구 배경

큰 캐시를 위한 과제: 작은 셀 면적과 충분한 데이터 보존시간



6T SRAM

트랜지스터 6개

빠른 동작, 큰 셀 면적

1T1C eDRAM

트랜지스터 1개 + 커패시터

별도 커패시터 공정 필요

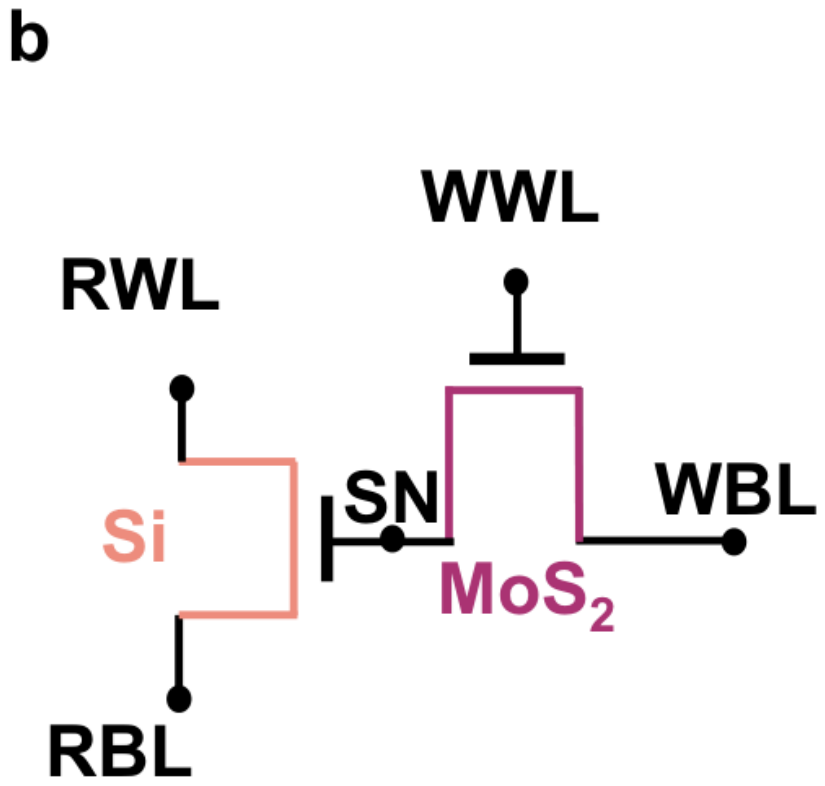
2T gain-cell eDRAM

트랜지스터 2개

저장 노드 누설이 보존 제한

출처: Xiao et al., Nature Communications 15, 9782 (2024), pp. 1–2. 도식: 본문 설명을 바탕으로 작성

02 2T-eDRAM 구조



MoS_2 쓰기 트랜지스터

WWL로 스위치를 열고

WBL의 데이터를 SN에 전달

Si 읽기 트랜지스터

SN의 전압에 따라

RBL의 읽기 전류가 달라짐

SN = 저장 노드

Si 게이트 정전용량에 전하 저장

출처: 같은 논문 Fig. 1b. Capacitorless = 별도 저장 커패시터 없음, 게이트 정전용량은 사용

03 쓰기·유지·읽기

쓰기

WWL로 쓰기 FET ON

WBL로 SN 충전·방전

유지

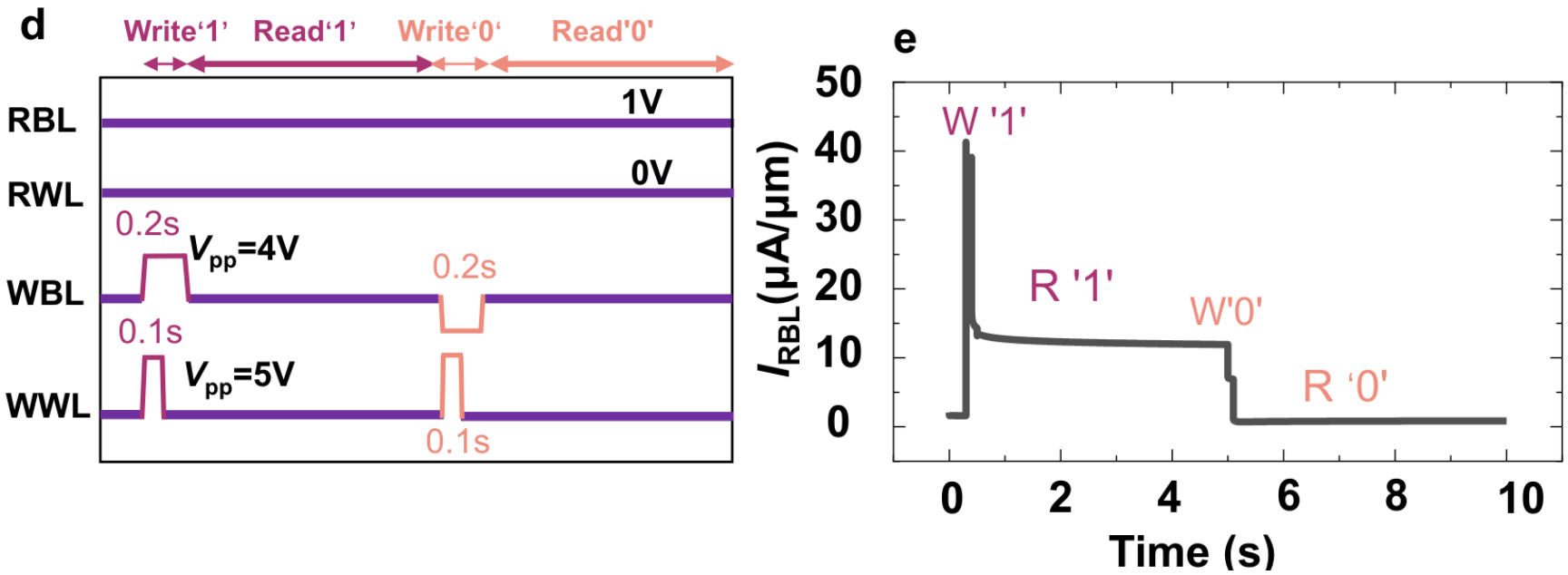
쓰기 FET OFF

SN의 전하를 유지

읽기

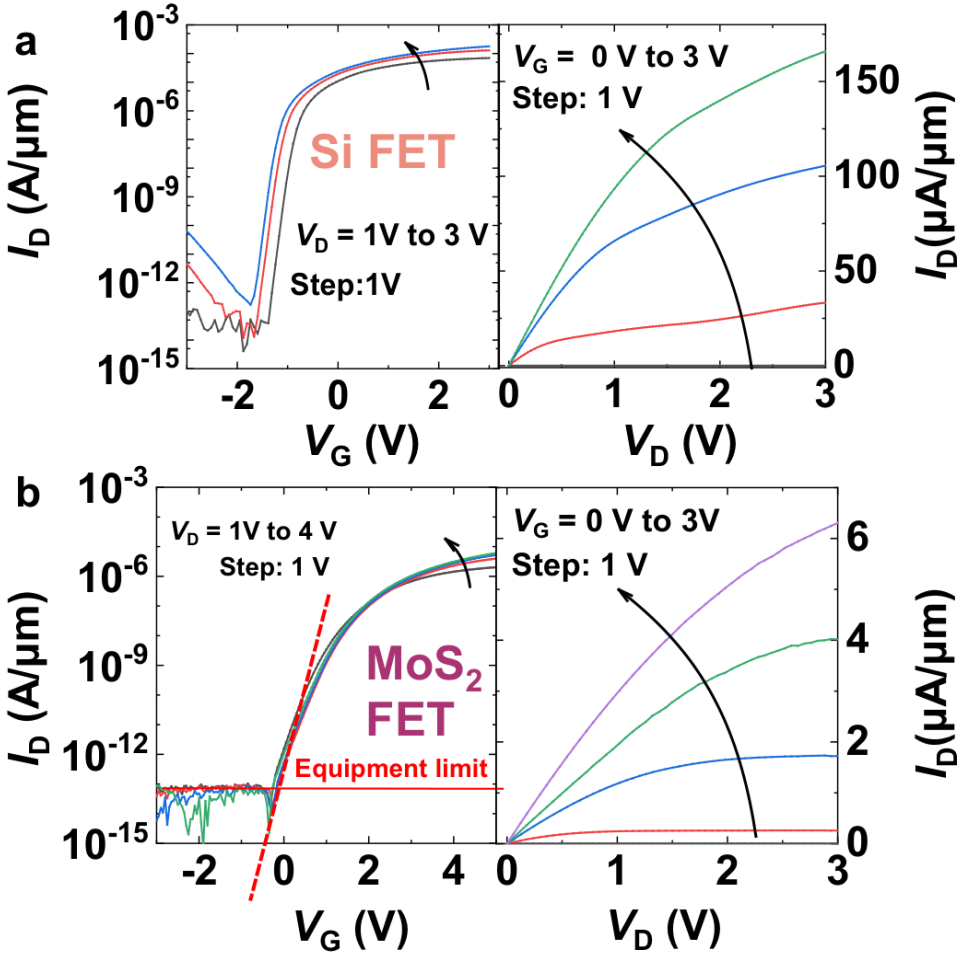
Si 채널 전류 측정

SN 전하를 직접 빼내지 않음



출처: 같은 논문 Fig. 2d–e. 동작 확인용 파형이며, 5ns 쓰기 속도 실험과는 별도 조건

04 재료별 역할



쓰기: MoS_2의 낮은 OFF 전류

전하 누설을 줄여

보존시간을 늘림

읽기: Si의 높은 ON 전류

논리 1과 0의 전류 차이를 확대

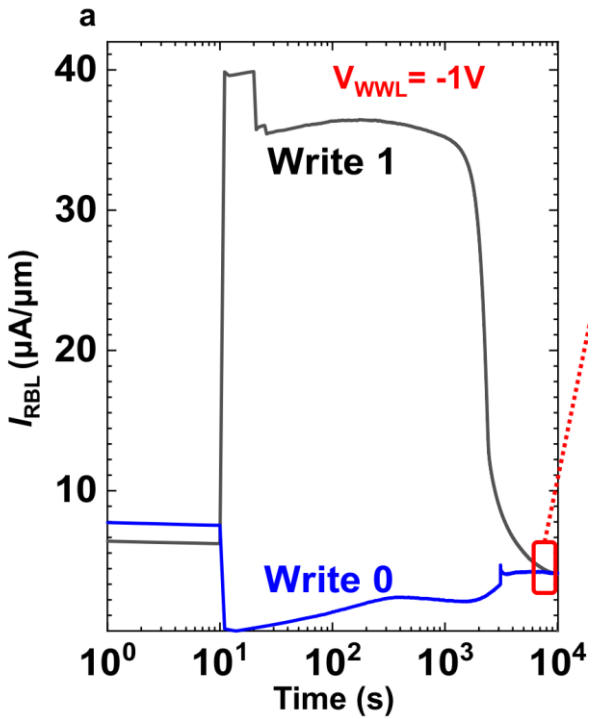
센스앰프의 판독에 유리

보존시간 ≈ C(SN) × 허용 ΔV / I(누설)

출처: 같은 논문 Fig. 2a–b. 비교 소자 W/L = 5/3μm. 보존시간 식은 일정 누설을 가정한 근사

05 데이터 보존시간

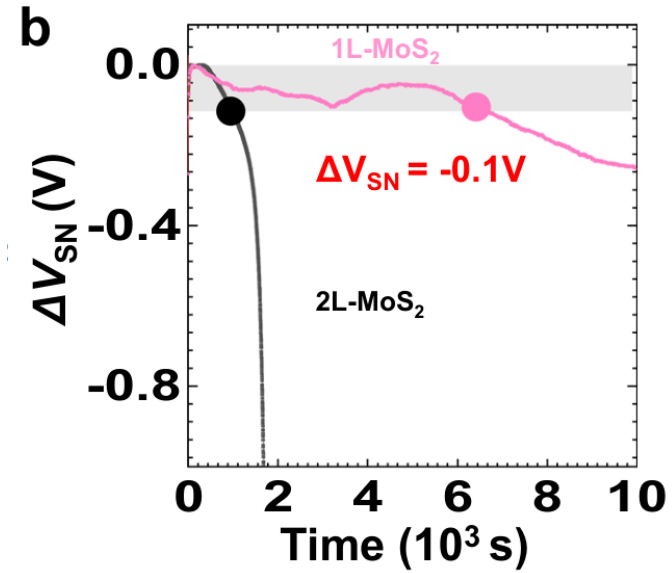
2층 MoS_2: 유지 전압 −1V



초기 판독 여유 약 35μA/μm

ΔV(SN) = 0.1V 기준: 1,000초 이상

단층 MoS_2: 유지 전압 0V

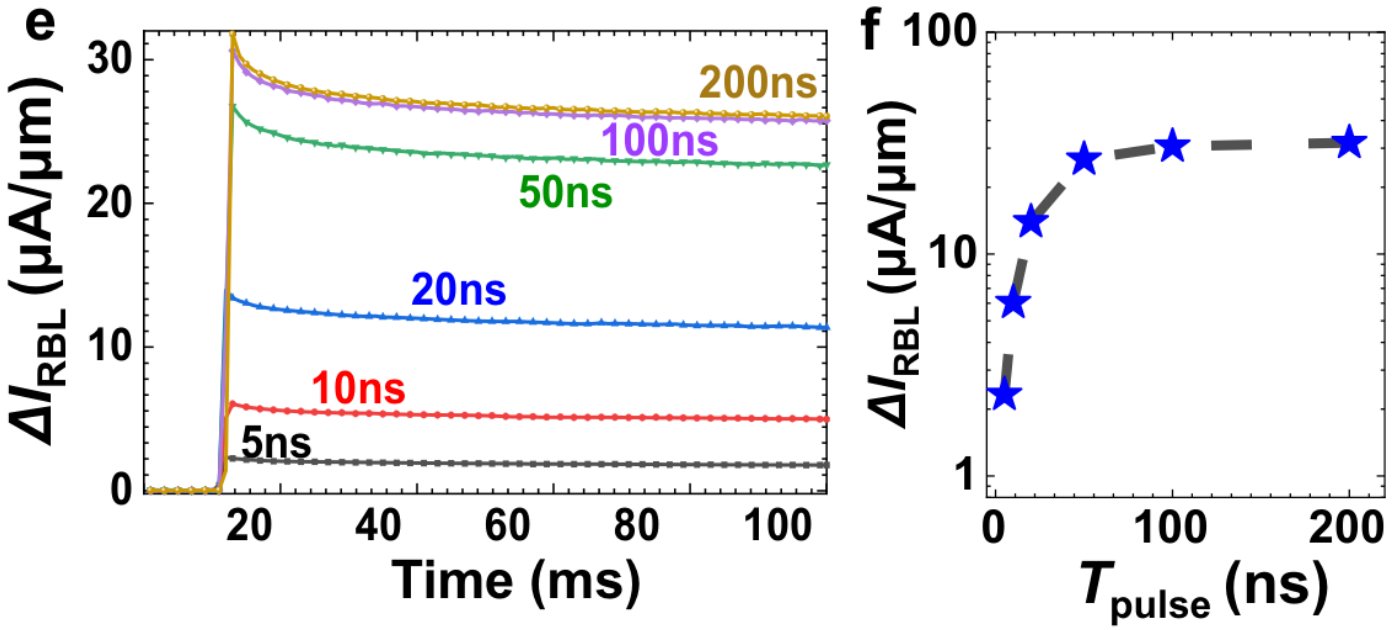


ΔV(SN) = 0.1V 기준

약 6,000초 = 100분

출처: 같은 논문 Fig. 3a·d, Fig. 4b. 전류 차이 10% 기준의 보존시간과 구분해서 해석

06 쓰기 속도



5ns 쓰기 펄스로 상태 구분

판독 전류 차이 > 2μA/μm

100ms 측정 구간에서 유지

쓰기 펄스가 길수록

전류 차이가 커지다가

100ns 초과에서 포화

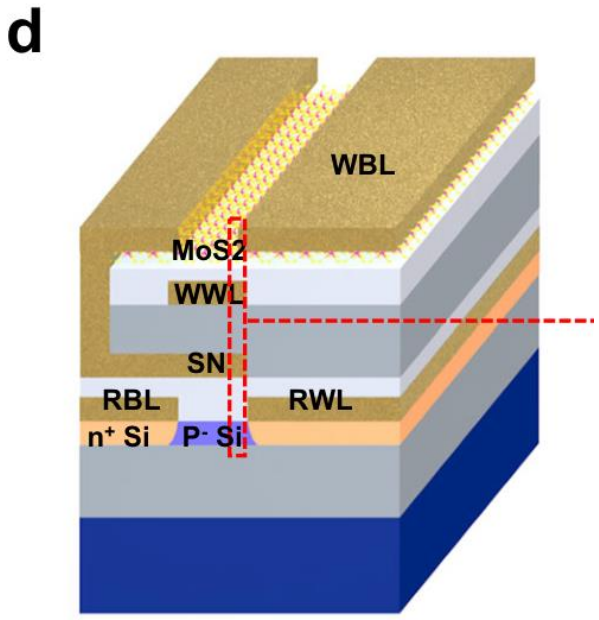
5ns는 장비의 최소 쓰기 펄스 폭이며, 캐시 전체의 접근 지연을 뜻하지 않음

출처: 같은 논문 Fig. 3e–f, p. 5. 상태별 전류 레벨은 쓰기 펄스 폭에 따라 달라짐

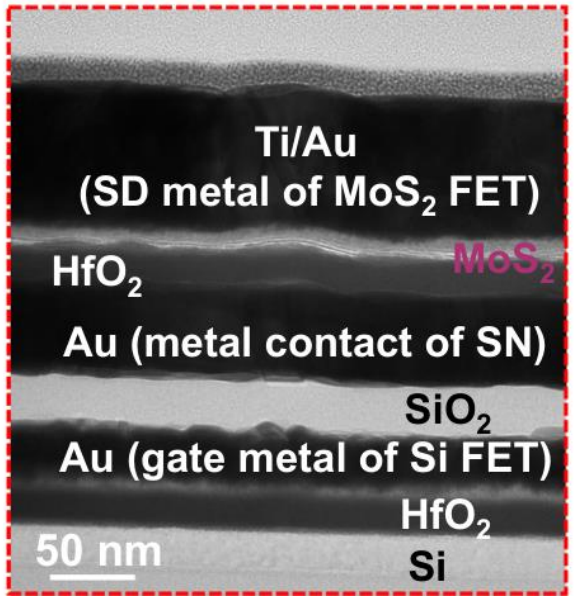
07 3D 적층

Si 읽기 FET 위에 MoS_2 쓰기 FET를 배치해 평면 점유 면적 축소

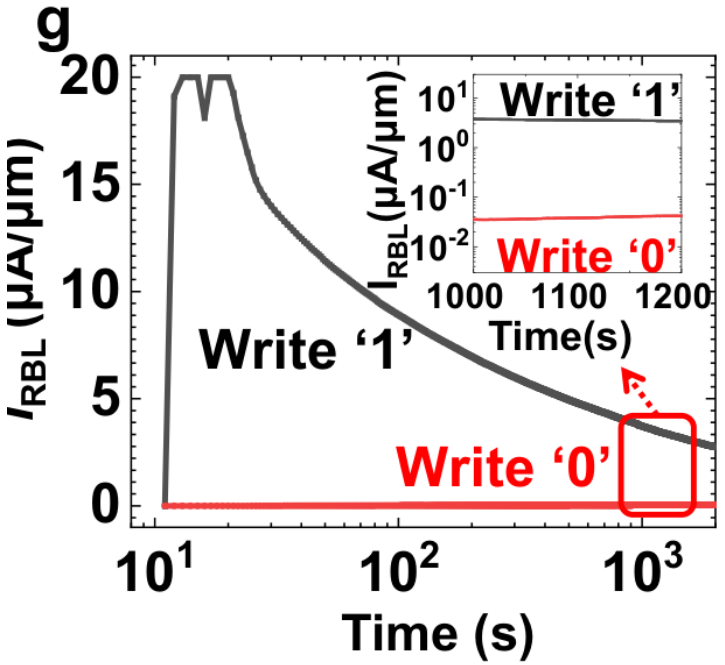
적층 구조



실제 단면



적층 소자의 보존



BEOL 호환 공정으로 통합

전류 차이 10% 기준 > 1,000초

출처: 같은 논문 Fig. 4d–g. 적층 소자 결과이며, 단층 평면 소자의 6,000초 결과와 구분

08 의의와 한계

확인한 성과

MoS_2 쓰기 + Si 읽기: 낮은 누설과 큰 판독 전류를 함께 활용

별도 저장 커패시터 없는 2T 셀과 수직 적층 구조를 실증

해석할 때의 한계

6,000초 보존, 5ns 쓰기, 3D 적층은 실험 조건을 구분해야 함

주요 측정은 실온·단일 셀 중심. 대규모 캐시의 성능은 추가 검증 필요

회로설계 관점: 센스앰프, 리프레시 제어, 온도·편차를 함께 검증

출처: 같은 논문 Results·Discussion·Methods. 1nm 기술 노드 관련 결과는 TCAD 시뮬레이션

NOVA

Semiconductor Track

Thank you

숭실대학교 전기공학부 학술 소모임 NOVA
발표자 : 김철우, 유지상